

**SEMICONDUCTOR INTEGRATED CIRCUIT PROVIDED WITH SYNCHRONOUS
INTERFACE AND SYNCHRONIZATION CONTROL SYSTEM USING THE SAME**

Patent Number: JP2001256178
Publication date: 2001-09-21
Inventor(s): KUSHIDA SOHEI; KAI NAOYUKI
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP2001256178
Application Number: JP20000070942 20000314
Priority Number(s):
IPC Classification: G06F13/42; G06F1/12; G06F12/00
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To satisfy the minimum stipulation of the setup and holding time of a slave LSI, to reduce data latency and to stably receive data in a master LSI.
SOLUTION: This circuit is provided with a clock output buffer 22 for inverting a system clock CLK from an internal circuit and outputting it to the outside, a buffer circuit 27 for inputting the output clock of the clock output buffer, a first FF 23 for fetching output data from the internal circuit by the system clock, a data output buffer 24 for outputting the data outputted from the first FF to the outside, a data input buffer 25 for inputting the data from the outside, a latch circuit 61 for performing a through operation/a latch operation corresponding to the logic level of latch control signals which are the signals of a phase opposite to the output clock of the clock output buffer to the output of the data input buffer and a circuit 28 for fetching latch output data by the system clock.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-256178

(P2001-256178A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ド (参考)
G 0 6 F 13/42	3 5 0	G 0 6 F 13/42	3 5 0 A 5 B 0 6 0
1/12		12/00	5 6 4 A 5 B 0 7 7
12/00	5 6 4	1/04	3 4 0 D

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2000-70942(P2000-70942)

(22) 出願日 平成12年3月14日 (2000.3.14)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 串田 宗平

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 甲斐 直行

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

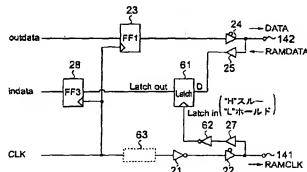
最終頁に続く

(54) 【発明の名称】 同期式インターフェースを有する半導体集積回路およびそれを用いた同期制御システム

(57) 【要約】

【課題】スレーブLSIのセットアップ、ホールド時間の最小規定を満たし、データレイテンシが小さく、マスターLSIでデータを安定に受け取る。

【解決手段】内部回路からのシステムクロックCLKを反転させて外部に出力するクロック出力バッファ22と、クロック出力バッファの出力クロックが入力するバッファ回路27と、内部回路からの出力データをシステムクロックにより取り込む第1のFF 23と、第1のFF 23から出力するデータを外部に出力するデータ出力バッファ24と、外部からデータが入力するデータ入力バッファ25と、データ入力バッファの出力に対してクロック出力バッファの出力クロックとは逆相の信号であるラッチ制御信号の論理レベルに応じてスルー動作/ラッチ動作を行うラッチ回路61と、ラッチ出力データをシステムクロックにより取り込む回路28とを具備する。



【特許請求の範囲】

【請求項1】 内部回路から供給されるシステムクロックを反転させる第1の反転回路と、前記第1の反転回路から出力するクロックを第1の外部端子に出力するクロック出力バッファと、前記内部回路から供給される出力データがデータ入力端に入力し、前記内部回路から供給されるシステムクロックにより取り込む第1のフリップフロップ回路と、前記第1のフリップフロップ回路から出力するデータを第2の外部端子に出力するデータ出力バッファと、前記第2の外部端子から入力するデータが入力するデータ入力バッファと、前記データ入力バッファの出力がデータ入力端に入力し、前記クロック出力バッファの出力クロックと同相または逆相の信号がラッチ制御信号として入力し、前記ラッチ制御信号の論理レベルに応じて前記データ入力端のデータ入力に対してスルー動作/ラッチ動作を行うラッチ回路と、前記ラッチ回路の出力データを前記内部回路から供給されるシステムクロックにより取り込み、前記内部回路へ入力データとして供給するデータ取り込み回路とを具備することを特徴とする同期式インターフェースを有する半導体集積回路。

【請求項2】 内部回路から供給されるシステムクロックを反転させる第1の反転回路と、前記第1の反転回路から出力するクロックを第1の外部端子に出力するクロック出力バッファと、前記クロック出力バッファから出力するシステムクロックが入力するバッファ回路と、前記内部回路から供給される出力データがデータ入力端に入力し、前記内部回路から供給されるシステムクロックにより取り込む第1のフリップフロップ回路と、前記第1のフリップフロップ回路から出力するデータを第2の外部端子に出力するデータ出力バッファと、前記第2の外部端子から入力するデータが入力するデータ入力バッファと、前記データ入力バッファの出力がデータ入力端に入力し、前記バッファ回路から前記クロック出力バッファの出力クロックと同相または逆相の信号がラッチ制御信号として入力し、前記ラッチ制御信号の論理レベルに応じて前記データ入力端のデータ入力に対してスルー動作/ラッチ動作を行うラッチ回路と、前記ラッチ回路の出力データを前記内部回路から供給されるシステムクロックにより取り込み、前記内部回路へ入力データとして供給するデータ取り込み回路とを具備することを特徴とする同期式インターフェースを有する半導体集積回路。

【請求項3】 請求項1または2のいずれか1項に記載の同期式インターフェースを有するマスター側の半導体集積回路と、

前記マスター側の半導体集積回路にクロック信号線およびデータ信号線を介して接続され、前記マスター側の半導体集積回路から入力するデータを同期クロックの前縁で取り込み、また、前記同期クロックの前縁からある遅延時間後に出力データを前記マスター側の半導体集積回路に送るスレーブ動作を行うスレーブ側の半導体集積回路とを具備することを特徴とする同期制御システム。

【請求項4】 前記スレーブ側の半導体集積回路は同期型半導体メモリであることを特徴とする請求項3記載の同期制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同期式インターフェースを有する半導体集積回路およびそれを用いた同期制御システムに係り、特に同期式インターフェースに関するもので、例えば論理LSIおよびそれに対してスレーブ動作をする同期型メモリLSIを含む同期制御システムに使用されるものである。

【0002】

【従来の技術】CPUなどのマスター側LSIにスレーブ側LSIを接続して同期制御システムを構成する場合が多くなっている。この場合、マスター側LSIに対して完全なスレーブ動作をするスレーブ側LSIとして、同期型DRAM(SDRAM)、同期型SRAM、同期型ROMなどが挙げられる。

【0003】ここで、スレーブ側LSIの完全なスレーブ動作とは、図4に示すように、マスター側LSIからの入力データ(制御信号、アドレスを含む)を同期クロックCLKの前縁で取り込み、また、出力データを同期クロックCLKの前縁からある遅延時間(delay、スレーブ側LSIのアクセスタイム)後にマスター側LSIに送る動作をいう。なお、入力データのの前縁と同期クロックCLKの前縁とのセットアップ(setup)時間、同期クロックCLKの前縁と入力データのの後縁とのホールド(hold)時間はそれぞれ最小値が規定されている。

【0004】図5は、従来の同期制御システムでマスター側LSIとして使用される論理LSIの同期式インターフェース回路の一例を示すブロック図である。

【0005】図5に示す論理LSIにおいて、内部回路(図示せず)から供給されるシステムクロックCLKは、インバート回路91により反転された後、入/出力セル群の一部であるクロック出力バッファ92を介してシステムクロックRAMCLKとして外部に出力する。このシステムクロックRAMCLKは、外部配線(図示せず)を介してスレーブ側LSI(図示せず、例えばSDRAM)へ供給される。即ち、マスター側LSIのシステムクロックCLKと、スレーブ側LSIへ供給されるシステムクロックRAMCLKとの位相関係は逆位相の関係にある。

【0006】一方、内部回路(図示せず)から供給される出力データoutdataは、第1のフリップフロップ回路

(FF1) 93のデータ入力端に入力し、ここで前記システムクロックCLKにより取り込まれた後、入出力セル群の一部であるデータ出力バッファ94を介してデータDATAとして外部に出力し、さらに、外部配線(図示せず)を介してスレーブ側LSIへ供給される。

【0007】前記スレーブ側LSIの出力データRAMDATAは外部配線(図示せず)を介してマスター側LSIの入出力セル群の一部であるデータ入力バッファ95に入力し、このデータ入力バッファ95の出力は、第2のFF回路(FF2) 96のデータ入力端に入力する。この第2のFF回路96は、前記インバータ回路91の出力である反転クロック/CLKを受けて前記データ入力端の入力を取り込む。この第2のFF回路96の出力は、第3のFF回路(FF3) 97のデータ入力端に入力し、ここで前記システムクロックCLKにより取り込まれた後、内部回路(図示せず)へ入力データindataとして入力する。

【0008】しかし、上記したようにマスター側LSIのインバータ回路91の出力である反転クロック/CLKを使用してスレーブ側LSIからのデータRAMDATAを取り込む構成は、同期制御システムの高速化が進展するにつれてスレーブ側LSIとマスター側LSIとの負荷に比較的影響を受け、不都合が生じてくる。

【0009】即ち、同期制御システムの高速化が進展するにつれて、マスター側LSIの内部システムクロックCLKを受けてスレーブ側LSIへシステムクロックRAMCLKを供給するためのクロック出力バッファ92における遅延時間が無視できなくなり、しかも、この遅延時間はLSIの電源電圧や温度の変動、製造プロセスのばらつきに依存して変動するので、スレーブ側LSIからのデータRAMDATAを取り込む動作のタイミングが不安定になり、ひいては、データ取り込み動作が不安定になる。

【0010】このような問題の対策の1つとして、マスター側LSIにおいて、スレーブ側LSIからのデータRAMDATAを取り込むための同期クロックを、図中点線で示すようにスレーブ側LSIから受け取る構成が考えられるが、この構成は、スレーブ側LSIから同期クロックを受け取るための外部端子を追加する必要が生じるので好ましくない。

【0011】また、別の対策として、特開平9-128333号公報に開示された技術、即ち、デジタルICにおいて、外部LSIからのデータを取り込む回路のサンプリングクロックとして、デジタルICから外部LSIに出力する制御信号の分岐信号を使用する技術を適用した構成が考えられる。このように構成すれば、スレーブ側LSIに供給されるシステムクロックRAMCLKと第2のFF回路96の入力クロックCLKは、マスター側LSIとスレーブ側LSIとの間の負荷の影響を同等に受けるので、両者の位相差は少なくなり、入力クロックCLKの遅延に対するマージンが増える。したがって、同期制御システムの高速化が進展しても、マスター側LSIが負荷

の影響を比較的に受けずにスレーブ側LSIからのデータを受け取ることができ、データ取り込み動作の安定化が可能になることが期待される。

【0012】

【発明が解決しようとする課題】ところで、上記したような同期制御システムに使用されるマスター側LSIに搭載する同期式インターフェースを設計する際には、次の3点を考慮する必要があり、これらの3点を極力満たすことが望ましい。

【0013】(a) スレーブ側LSIのセットアップ(setup)時間の最小規定およびホールド(hold)時間の最小規定を満たすこと。

【0014】(b) スレーブ側LSIとマスター側LSIとの間のデータのレイテンシが比較的小さいこと。

【0015】(c) スレーブ側LSIとマスター側LSIとの間の負荷に比較的影響を受けずにマスター側LSIがデータを受け取れること。

【0016】以下、前述したようなデジタルICから外部LSIに出力する制御信号の分岐信号を使用する技術を適用した図6に示すマスター側LSIの同期式インターフェース回路について、上記3つの観点から検討する。

【0017】即ち、図6の同期式インターフェース回路において、内部回路から供給されるシステムクロックCLKは、インバータ回路21により反転された後、入出力セル群の一部である双方向入出力バッファのクロック出力バッファ22および外部端子141を介してシステムクロックRAMCLKとして外部に出力する。このシステムクロックRAMCLKは、クロック信号線(図示せず)を介してスレーブ側LSI(図示せず)へ供給される。ここで、システムクロックCLKとシステムクロックRAMCLKとの位相関係は逆位相の関係にある。

【0018】内部回路から供給される出力データoutdataは、第1のフリップフロップ回路(FF1) 23のデータ入力端に入力し、ここで前記システムクロックCLKにより取り込まれた後、入出力セル群の一部であるデータ出力バッファ24および外部端子142を介してデータDATAとして外部に出力する。このデータDATAは、データ信号線(図示せず)を介してスレーブ側LSIへ供給される。

【0019】スレーブ側LSIの出力データRAMDATAはデータ信号線を介してマスター側LSIの外部端子142から入出力セル群の一部であるデータ入力バッファ25から入力する。このデータ入力バッファ25の出力は、第2のFF回路(FF2) 26のデータ入力端に入力する。この第2のFF回路26は、前記クロック出力バッファ22の出力であるシステムクロックRAMCLKが双方向入出力バッファの入力バッファ回路27を経たクロックCLK(クロックCLKと位相関係は逆位相の関係にある)を受けて前記データ入力端の入力を取り込む。この第2のFF回

路26の出力は、第3のFF回路(F F 3)28のデータ入力端に入力し、ここで前記システムクロックCLKにより取り込まれた後、内部回路へ入力データindataとして入力する。

【0020】図7(a)および(b)は、図6の回路のデータ出力動作の一例およびデータ入力動作の一例を示すタイミング波形図である。

【0021】(1)まず、第1のFF回路23からスレーブ側LSIまでのデータ出力バスのデータ出力動作の一例について、図7(a)のタイミング波形図を参照して説明する。

【0022】図6の同期式インターフェース回路では、前述したようにシステムクロックCLKとRAMCLKとの位相関係は逆位相の関係にあり、システムクロックCLKの立ち上がりで出力されたデータDATAはスレーブ側LSIでシステムクロックRAMCLKの立ち上がりで受け取られる。システムクロックRAMCLKの立ち上がりのタイミングは、データDATAのデータ幅中央位置に対応するので、スレーブ側LSIのセットアップ・ホールド仕様に違反する可能性は低い。なお、このデータ出力動作で使用されたクロック数は0.5サイクルである。

【0023】(2)次に、スレーブ側LSIからマスター側LSIの第2のFF回路26までのデータ入力バスのデータ入力動作の一例について、図7(b)のタイミング波形図を参照して説明する。

【0024】図6の回路では、前述したようにシステムクロックRAMCLKと第2のFF回路26の入力クロックCLK'は、マスター側LSIとスレーブ側LSIとの間の負荷の影響を同等に受けるので、両者の位相差は少ない。

【0025】よって、スレーブ側LSIでシステムクロックRAMCLKの立ち上がりから出力されたデータRANDATAを第2のFF回路26の入力CLK'の立ち上がりで受け取る場合、第2のFF回路26に対するセットアップ・ホールド仕様に違反する可能性は低い。なお、このデータ入力動作で使されたクロック数は1サイクルである。

【0026】(3)次に、第2のFF回路26から第3のFF回路28までのデータバスのデータ転送動作の一例について、図7(b)のタイミング波形図を参照して説明する。

【0027】第2のFF回路26の入力クロックCLK'の立ち上がりから出力された第2のFF回路26の出力データをシステムクロックCLKの立ち上がりで受け取る場合、上記入力クロックCLK'はマスター側LSIとスレーブ側LSIとの間の負荷の影響を受けて遅延にはばらつきが生じる。そして、前述したようにシステムクロックCLKと第2のFF回路26の入力クロックCLK'の位相関係は逆位相の関係にあるので、上記入力クロックCLK'が大きく遅延した場合には、第2のFF回路26の出力データはシステムクロックCLKの立ち上がりのセットアップ・ホールドに対するセットアップ・ホールド仕様の関係を満たせ

なくなる可能性が大きい。しかし、スレーブ側LSIに供給されるシステムクロックRAMCLKと第2のFF回路26の入力クロックCLK'は、マスター側LSIとスレーブ側LSIとの間の負荷の影響を同等に受けるので、両者の位相差は少なくなっており、その分だけ入力クロックCLK'の遅延に対するマージンが増える。なお、このデータ転送動作で使されたクロック数は0.5サイクルである。

【0028】図6の同期式インターフェース回路を用いた同期制御システムにおけるスレーブ側LSIからのデータレイテンジは、前記(1)から(3)で使されたクロック数の和であるので、2サイクルとなる。

【0029】しかし、図6の同期式インターフェース回路を有する論理LSIによれば、前述した同期式インターフェースに望まれる3つの条件(a)、(b)、(c)のうちの2つの条件(a)、(b)を十分に満足しているが、残りの1つの条件(c)については、必ずしも十分に満足していない。

【0030】一方、図8は、図6の同期式インターフェース回路の変形例を示している。

【0031】即ち、図8の同期式インターフェース回路は、図6を参照して前述した同期式インターフェース回路と比べて、インバータ回路21が省略されることにより、システムクロックCLKとRAMCLKの位相関係およびシステムクロックCLKと第2のFF回路26の入力クロックCLK'は同位相の関係にある点が異なり、その他は同じである。

【0032】図9(a)および(b)は、図8の回路のデータ出力動作の一例およびデータ入力動作の一例を示すタイミング波形図である。

【0033】(1)まず、第1のFF回路23からスレーブ側LSIまでのデータ出力バスのデータ出力動作の一例について、図9(a)のタイミング波形図を参照して説明する。

【0034】図8の同期式インターフェース回路では、前述したようにシステムクロックCLKとRAMCLKとの位相関係は同位相の関係にあり、システムクロックCLKの立ち上がりで出力されたデータDATAはスレーブ側LSIでシステムクロックRAMCLKの立ち上がりで受け取られる。この場合、出力データDATAは、システムクロックCLKの立ち上がりからの駆動遅延、データ出力バッファ24の遅延、データ信号線(図示せず)の遅延などによって遅れる。また、システムクロックRAMCLKは、クロック出力バッファ22の遅延、クロック信号線(図示せず)の遅延などによって遅れる。これらの遅延にはばらつきがあるので、スレーブ側LSIのセットアップ・ホールド仕様に違反する可能性が大きい。なお、このデータ出力動作で使されたクロック数は1サイクルである。

【0035】(2)次に、スレーブ側LSIからマスター側LSIの第2のFF回路26までのデータ入力バスの

データ入力動作の一例について、図9 (b) のタイミング波形図を参照して説明する。

【0036】図8の回路では、システムクロックCLKと第2のFF回路26の入力クロックCLK'は同位相の関係にあり、前述したようにシステムクロックRAMCLKと第2のFF回路26の入力クロックCLK'は、マスター側LSIとスレーブ側LSIとの間の負荷の影響を同等に受けるので、両者の位相差は少ない。

【0037】よって、スレーブ側LSIでシステムクロックRAMCLKの立ち上がりから出力されたデータRAMDATAを第2のFF回路26の入力クロックCLK'の立ち上がりで受け取る場合、第2のFF回路26に対するセットアップ・ホールド仕様の違反する可能性は低い。なお、このデータ入力動作で使用されたクロック数は1サイクルである。

【0038】(3) 次に、第2のFF回路26から第3のFF回路28までのデータバスのデータ転送動作の一例について、図9 (b) のタイミング波形図を参照して説明する。

【0039】第2のFF回路26の入力クロックCLK'の立ち上がりから出力された第2のFF回路26の出力データをシステムクロックCLKの立ち上がりで受け取る場合、上記入力クロックCLK'はマスター側LSIとスレーブ側LSIとの間の負荷の影響を受けて遅延にばらつきが生じる。そして、前述したようにシステムクロックCLKと第2のFF回路26の入力クロックCLK'の位相関係は同位相の関係にあるので、上記入力クロックCLK'が大きく遅延した場合において第2のFF回路26の出力データとシステムクロックCLKの立ち上がりのセットアップ・ホールドに対するセットアップ・ホールド仕様の関係は、図6を参照して前述した回路と比べて余裕がある。なお、このデータ転送動作で使用されたクロック数は1サイクルである。

【0040】図8の回路を用いた同期制御システムにおけるスレーブ側LSIからのデータレイテンシは、前記(1)から(3)で使用されたクロック数の和であるので、3サイクルとなる。

【0041】即ち、図8の同期式インターフェース回路を有する論理LSIによれば、前述した同期式インターフェースに望まれる3つの条件(a)、(b)、(c)のうち(c)を十分に満足しているものの、残りの2つの条件(a)、(b)について若干犠牲が生じている。

【0042】本発明は上記の事情に鑑みてなされたもので、スレーブ側LSIのセットアップ時間の最小規定およびホールド時間の最小規定を満たすこと、スレーブ側LSIとマスター側LSIとの間のデータのレイテンシが比較的小さいこと、スレーブ側LSIとマスター側LSIとの間の負荷に比較的影響を受けずにマスター側LSIがデータを受け取ることの3点を極力同時に満たすことが可能な半導体集積回路およびそれを用いた同期

制御システムを提供することを目的とする。

【0043】

【課題を解決するための手段】本発明の同期式インターフェースを有する半導体集積回路は、部回路から供給されるシステムクロックを反転させる第1の反転回路と、前記第1の反転回路から出力するクロックを第1の外部端子に出力するクロック出力バッファと、前記内部回路から供給される出力データがデータ入力端に入力し、前記内部回路から供給されるシステムクロックにより取り込む第1のフリップフロップ回路と、前記第1のフリップフロップ回路から出力するデータを第2の外部端子に出力するデータ出力バッファと、前記第2の外部端子から入力するデータが入力するデータ入力バッファと、前記データ入力バッファの出力がデータ入力端に入力し、前記クロック出力バッファの出力クロックと同相または逆相の信号がラッチ制御信号として入力し、前記ラッチ制御信号の論理レベルに応じて前記データ入力端のデータ入力に対してスルー動作／ラッチ動作を行うラッチ回路と、前記ラッチ回路の出力データを前記内部回路から供給されるシステムクロックにより取り込み、前記内部回路へ入力データとして供給するデータ取り込み回路とを具備することを特徴とする。

【0044】本発明の同期式インターフェースを有する半導体集積回路は、内部回路から供給されるシステムクロックを反転させる第1の反転回路と、前記第1の反転回路から出力するクロックを第1の外部端子に出力するクロック出力バッファと、前記クロック出力バッファから出力するシステムクロックが入力するバッファ回路と、前記内部回路から供給される出力データがデータ入力端に入力し、前記内部回路から供給されるシステムクロックにより取り込む第1のフリップフロップ回路と、前記第1のフリップフロップ回路から出力するデータを第2の外部端子に出力するデータ出力バッファと、前記第2の外部端子から入力するデータが入力するデータ入力バッファと、前記データ入力バッファの出力がデータ入力端に入力し、前記バッファ回路から前記クロック出力バッファの出力クロックと同相または逆相の信号がラッチ制御信号として入力し、前記ラッチ制御信号の論理レベルに応じて前記データ入力端のデータ入力に対してスルー動作／ラッチ動作を行うラッチ回路と、前記ラッチ回路の出力データを前記内部回路から供給されるシステムクロックにより取り込み、前記内部回路へ入力データとして供給するデータ取り込み回路とを具備することを特徴とする。

【0045】また、本発明の同期制御システムは、本発明の同期式インターフェースを有するマスター側の半導体集積回路と、前記マスター側の半導体集積回路にクロック信号線およびデータ信号線を通じて接続され、前記マスター側の半導体集積回路から入力するデータを同期クロックの前縁で取り込み、また、前記同期クロックの

前縁からある遅延時間後に出力データを前記マスター側の半導体集積回路に送るスレープ動作を行うスレープ側の半導体集積回路とを具備することを特徴とする。

【0046】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0047】図1は、本発明の同期制御システムの一実施形態を示すブロック図である。

【0048】図1において、11はマスター側LSIとして使用される論理LSI（例えば動画像圧縮信号デコーダ用のLSI）であり、12は前記マスター側LSIに対して完全なスレープ動作をするスレープ側LSI（例えばSDRAM）、13は上記マスター側LSIとスレープ側LSIとの間の外部配線であり、クロック信号線131およびデータ信号線132を含む。前記論理LSI11は、内部回路10と同期式インターフェース回路20が搭載されている。

【0049】＜同期式インターフェース回路の実施形態＞図2は、図1中のマスター側LSIの同期式インターフェース回路を取り出して一実施形態を示すブロック図である。

【0050】図2に示すマスター側LSIの同期式インターフェース回路において、内部回路から供給されるシステムクロックCLKは、第1のインバート回路21により反転された後、入/出力セル群の一部である双方向バッファのクロック出力バッファ22および外部端子141を介してシステムクロックRAMCLKとして外部に出力する。このシステムクロックRAMCLKは、外部配線を介してスレ-

ープ側LSI（例えばSDRAM）へ供給される。ここで、システムクロックCLKとRAMCLKとの位相関係は逆位相の関係にある。

【0051】一方、内部回路から供給される出力データoutdataは、第1のF/F回路23のデータ入力端に入力し、ここで前記システムクロックCLKにより取り込まれた後、入/出力セル群の一部である双方向バッファのデータ出力バッファ24および外部端子142を介してデータDATAとして外部に出力し、さらに、外部配線を介してスレープ側LSIへ供給される。

【0052】前記スレープ側LSIの出力データRANDATAは外部配線を介してマスター側LSIの入/出力セル群の一部である双方向バッファのデータ入力バッファ25に入力し、このデータ入力バッファ25の出力は、ラッチ回路（LATCH）61に入力データDとして入力する。

【0053】このラッチ回路61は、前記クロック出力バッファ22の出力クロックRAMCLKが双方向バッファの入力バッファ回路27を経た後、第2のインバート回路62により反転された信号（システムクロックCLKとは同相）がラッチ制御信号Latch inとして入力し、このラッチ制御信号Latch inの論理レベル“H”/“L”に応じて入力データDに対してスルー動作/ラッチ動作を行う。即ち、このラッチ回路61の入力データD、ラッチ制御信号Latch in、ラッチ出力データLatch OUTの関係は、次の表1の真理値表に示ようになる。

【0054】

【表1】

D	Latch in	Latch OUT
“L”	“H”	スルー (“L”)
“H”	“H”	スルー (“H”)
X (“H” または “L”)	“L”	ホールド (X)

【0055】上記ラッチ回路61のラッチ出力データLatch OUTは、データ取り込み回路（本例ではF/F3）28のデータ入力端に入力し、ここで前記システムクロックCLKにより取り込まれた後、内部回路へ入力データindataとして入力する。

【0056】図3（a）は、図2の同期式インターフェース回路のデータ出力動作の一例を示すタイミング波形図である。

【0057】図3（b）は、図2の同期式インターフェース回路のデータ入力動作の一例としてスレープ側LSIの出力データRANDATAの遅延が小さい場合の動作を示すタイミング波形図である。

【0058】図3（c）は、図2の同期式インターフェース回路のデータ入力動作の一例としてスレープ側LSI

Iの出力データRANDATAの遅延が大きい場合の動作を示すタイミング波形図である。なお、図3（c）では、負荷の影響を受けたスレープ側LSIのシステムクロックRAMCLKが半クロック分遅延し、スレープ側LSIの出力データRANDATAが大きく遅れた場合を示している。

【0059】（1）まず、マスター側LSIの第1のF/F回路23からスレープ側LSIまでのデータ出力パスのデータ出力動作の一例について、図3（a）のタイミング波形図を参照して説明する。

【0060】図2の同期式インターフェース回路では、前述したようにシステムクロックCLKとRAMCLKとの位相関係は逆位相の関係にあり、マスター側LSIからシステムクロックCLKの立ち上がりで出力されたデータDATAはスレープ側LSIでシステムクロックRAMCLKの立ち上

がりで受け取られる。RAMCLKの立ち上がりのタイミングはデータ幅の中央位置に対応するので、スレーブ側LSIのセットアップ・ホールド仕様に違反する可能性は低い。なお、このデータ出力動作で使用されたクロック数は0.5 サイクルである。

【0061】(2) 次に、スレーブ側LSIからマスター側LSIのデータ取り込み回路28までのデータ入力パスのデータ入力動作の一例について、図3(b)、(c)のタイミング波形図を参照して説明する。

【0062】図2の同期式インターフェース回路では、システムクロックRAMCLKとラッチ回路61のラッチ制御信号Latch inは、マスター側LSIとスレーブ側LSIとの間の負荷の影響を同等に受けるので、両者の位相差は少ない。

【0063】スレーブ側LSIでシステムクロックRAMCLKの立ち上がり1から出力されたデータはマスター側LSIのラッチ回路61を通り、システムクロックCLKの立ち上がり14でデータ取り込み回路28に受け取られる。このようにマスター側LSIでラッチ回路61を使用することにより、スレーブ側LSIからのデータは1.5 サイクル(システムクロックRAMCLKの立ち上がりからシステムクロックCLKの立ち上がり)で受け取ればよいことになる。

【0064】この際、スレーブ側LSIの出力データRAMDATAは遅れる可能性がある。ここで、図3(b)に示すように、スレーブ側LSIの出力データRAMDATAの遅延が小さい場合は、ラッチ回路61のホールド期間のデータをデータ取り込み回路28が受け取ることになる。これに対して、図3(c)に示すように、スレーブ側LSIの出力データRAMDATAの遅延が大きい場合は、ラッチ回路61のスルー期間のデータをデータ取り込み回路28が受け取ることになる。

【0065】なお、上記データ入力動作で使用されたクロック数は1.5 サイクルである。

【0066】図2の同期式インターフェース回路を用いた同期制御システムにおけるスレーブ側LSIからのデ

ータレイテンシは、前記(1)から(2)で使用されたクロック数の和であるので、2 サイクルとなる。

【0067】即ち、図2の同期式インターフェース回路を有する論理LSIによれば、前述した同期式インターフェースに望まれる3つの条件(a)、(b)、(c)の全てを同時に満足している。

【0068】したがって、図2の同期式インターフェース回路を有する論理LSIおよびそのスレーブ側に接続される同期型LSIからなる同期制御システムにおいても、上記したような図2の同期式インターフェース回路による効果が得られる。

【0069】なお、前記したラッチ回路61を用いる利点は、上記実施形態に限らず、スレーブ側LSIからのクロックを第2のインバータ回路62により反転した信号をラッチ制御信号Latch inとして用いても得られるが、上記実施形態のように、クロック出力バッファ22から出力されるシステムクロックRAMCLKを、入力バッファ回路27を経た後、第2のインバータ回路62により反転した信号をラッチ制御信号Latch inとして用いることにより、ラッチ制御信号Latch inはシステムクロックRAMCLKと同等にマスター側LSIとスレーブ側LSIとの間の負荷の影響を受けて位相差が少なくなることに伴う利点がある。

【0070】なお、前記ラッチ回路61の入力データD、ラッチ制御信号Latch in、ラッチ出力データLatch OUTの関係を、次の表2に示す真理値表のように変更すれば、クロック出力バッファ22から出力されるシステムクロックRAMCLKと同相の信号をラッチ制御信号Latch inとして用いても、前記した場合と同様の動作を得ることができる。この場合には、前記クロック入力バッファ27の出力を第2のインバータ回路62により反転することなくラッチ制御信号Latch inとして用いることができ、第2のインバータ回路62を省略することができる。

【0071】

【表2】

D	Latch in	Latch OUT
"H"	"L"	スルー ("H")
"L"	"L"	スルー ("L")
X ("H" または "L")	"H"	ホールド (X)

【0072】また、上記実施形態において、マスター側LSIのシステムクロックRAMCLKのタイミングを微調整するために、図2中に点線で示すようにシステムクロックCLKの経路に可変遅延セル63を挿入してもよい。そして、マスター側LSIを実装ボードに搭載してシステム製品に使用した状態で、システムの立ち上げ時に可変遅延セルの遅延時間を最適値に調整した後、調整値を固定

することが望ましい。

【0073】また、マスター側LSIに対して完全なスレーブ動作をするスレーブ側LSIとしては、上記した実施の形態で例示したSDRAMに限らず、他の同期型SRAM、同期型ROMなどの同期型メモリや、同期型論理LSIなどを使用する場合にも本発明を適用可能である。

【0074】

【発明の効果】上述したように本発明の同期式インターフェースを有する半導体集積回路およびそれを用いた同期制御システムによれば、完全なスレープ動作をするスレープ側LSIのセットアップ時間の最小規定およびホールド時間の最小規定を満たし、マスター側LSIのセットアップ・ホールドを満たし易く、スレープ側LSIとマスター側LSIとの間のデータのレイテンシが比較的小さく、かつスレープ側LSIとマスター側LSIとの間の負荷の影響に対して強い。

【図面の簡単な説明】

【図1】本発明の同期制御システムの一実施形態を示すブロック図。

【図2】図1中のマスター側LSIの同期式インターフェース回路を取り出してその実施の形態を示すブロック図。

【図3】図2の同期式インターフェース回路のデータ出力動作の一例およびデータ入力動作の異なる例を示すタイミング波形図。

【図4】スレープ側LSIの完全なスレープ動作の一例を示すタイミング波形図。

【図5】従来の同期制御システムでマスター側LSIとして使用される論理LSIの同期式インターフェース回路の一例を示すブロック図。

【図6】従来考えられるマスター側LSIの同期式イン

ターフェース回路を示すブロック図。

【図7】図6の同期式インターフェース回路のデータ出力動作の一例およびデータ入力動作の一例を示すタイミング波形図。

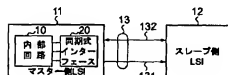
【図8】図6のマスター側LSIの同期式インターフェース回路の変形例として従来考えられる例を示すブロック図。

【図9】図8の同期式インターフェース回路のデータ出力動作の一例およびデータ入力動作の一例を示すタイミング波形図。

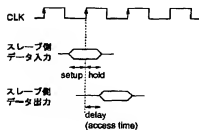
【符号の説明】

- 11…第1の外部端子、
- 12…第2の外部端子、
- 21…第1のインバート回路、
- 22…クロック出力バッファ、
- 23…第1のFF回路、
- 24…データ出力バッファ、
- 25…データ入力バッファ、
- 26…第2のFF回路、
- 27…クロック入力バッファ、
- 28…データ取り込み回路（第3のFF回路）、
- 61…ラッチ回路、
- 62…第2のインバート回路、

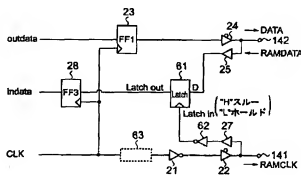
【図1】



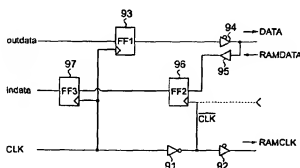
【図4】



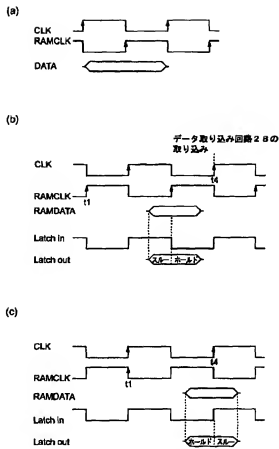
【図2】



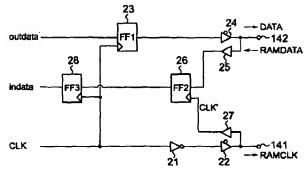
【図5】



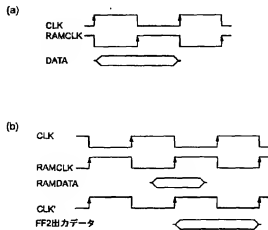
【図3】



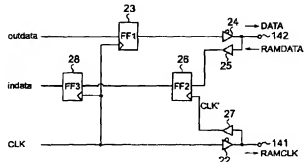
【図6】



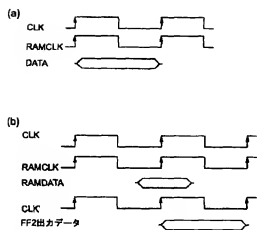
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5B060 CC01 CC05

5B077 FF11 GG07 GG16 HH03